

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Kyuichi TAKIMOTO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **July 23, 2003**

For. **CONTROL CIRCUIT FOR DC/DC CONVERTER**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: July 23, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-242422, filed August 22, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

William F. Westerman

Reg. No. 29,988

WFW/l

Atty. Docket No. 030879  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2002年 8月22日

出願番号

Application Number: 特願2002-242422

[ ST.10/C ]:

[ J P 2002-242422 ]

出願人

Applicant(s): 富士通株式会社

2002年11月29日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2002-3094110

【書類名】 特許願

【整理番号】 0240934

【提出日】 平成14年 8月22日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/00

【発明の名称】 DC／DCコンバータの制御回路及びDC／DCコンバータ

【請求項の数】 8

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴァイエルエスアイ株式会社内

【氏名】 滝本 久市

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴァイエルエスアイ株式会社内

【氏名】 松本 敬史

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴァイエルエスアイ株式会社内

【氏名】 原口 玲

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC/DCコンバータの制御回路及びDC/DCコンバータ

【特許請求の範囲】

【請求項1】 メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の中点に平滑回路とフライバックダイオードが接続されてなる外付け素子が接続されてDC/DCコンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第1駆動信号と第2駆動信号を出力して両素子を交互にオン/オフ駆動するDC/DCコンバータの制御回路において、

前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、

該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC/DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とすること、  
を特徴とするDC/DCコンバータの制御回路。

【請求項2】 出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する誤差増幅回路と、

前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、

前記パルス信号に基づいて前記第1及び第2駆動信号を生成する第1及び第2出力回路と、  
を備え、

前記休止期間設定回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する第1及び第2駆動信号に同期整流休止期間を設定するべく第1及び第2制御信号を生成するとともに、前記第1制御信号のパルス幅を前記パルス信号のパルス幅と略同一とし、

前記第1出力回路は前記第1制御信号に基づいて前記メイン側スイッチング素子に供給する第1駆動信号を生成し、

前記第2出力回路は前記第2制御信号に基づいて前記同期側スイッチング素子に供給する第2駆動信号を生成する、  
ことを特徴とする請求項1記載のDC/DCコンバータの制御回路。

【請求項3】 前記休止期間設定回路は、前記パルス信号の立ち上がり及び立ち下がりを遅延させて前記第1制御信号を生成することを特徴とする請求項2記載のDC/DCコンバータの制御回路。

【請求項4】 前記休止期間設定回路は、前記第1制御信号の立ち上がり及び立ち下がりを遅延させた遅延信号と前記パルス信号とを論理合成して前記第2制御信号を生成することを特徴とする請求項2又は3記載のDC/DCコンバータの制御回路。

【請求項5】 前記休止期間設定回路は、  
前記パルス信号の立ち上がり及び立ち下がりを遅延させて前記第1制御信号を生成する第1遅延回路と、

前記パルス信号又は前記第1制御信号が入力され、該入力信号の立ち上がり及び立ち下がりを遅延させて遅延信号を生成する第2遅延回路と、

前記パルス信号と前記遅延信号とを論理合成して前記第2制御信号を生成する合成回路と、

を備えたことを特徴とする請求項2記載のDC/DCコンバータの制御回路。

【請求項6】 前記第1及び第2遅延回路は、直列接続した複数のインバタ回路にて入力信号を遅延することを特徴とする請求項5記載のDC/DCコンバータの制御回路。

【請求項7】 前記第1及び第2遅延回路は、抵抗と容量の時定数にて入力信号を遅延することを特徴とする請求項5記載のDC/DCコンバータの制御回路。

【請求項8】 メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の中点に平滑回路とフライバックダイオードが接続されてなる外付け素子が接続されてDC/DCコンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第1駆動信号と第2駆動信号を出力して両素子を交互にオン/オフ駆動する制御回路を備えたDC/D

Cコンバータにおいて、

前記制御回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、

該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC/DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とすること、  
を特徴とするDC/DCコンバータ。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、各種電子機器等の電源として用いられる同期整流型のDC/DCコンバータに関するものである。

##### 【0002】

近年、各種電子機器に用いられるCPU等はその動作周波数の高速化が進められ、それに伴い電源電流が多くなっている。そのため、CPU等の電源として用いられる同期整流型DC/DCコンバータも大電力化が進められている。DC/DCコンバータは、直列に接続されたメイン側スイッチング素子と同期側スイッチング素子を交互にオン／オフ駆動することで、一定電圧を負荷に供給する。両スイッチング素子が同時にオンすると貫通電流が流れ消費電流を増大させることから、その貫通電流を防止するために両スイッチング素子を同時にオフする同期整流休止期間を設定する必要がある。

##### 【0003】

##### 【従来の技術】

従来のDC/DCコンバータの一例を図9に示す。このDC/DCコンバータ1は、1チップの半導体集積回路装置上に形成された制御回路2と、複数個の外付け素子とから構成されている。

##### 【0004】

制御回路2の第1駆動信号SG1は、メイン側スイッチング素子3に供給され

る。このスイッチング素子3はエンハンスマント形NチャネルMOSトランジスタで構成され、負荷を駆動するためのメインスイッチとして動作する。第1駆動信号SG1は、スイッチング素子3のゲートに印加される。スイッチング素子3のドレインにはバッテリから電源電圧Veが供給され、スイッチング素子3のソースは同期側スイッチング素子4に接続されている。

## 【0005】

同期側スイッチング素子4はエンハンスマント形NチャネルMOSトランジスタで構成され、そのドレインがメイン側スイッチング素子3のソースに接続されている。同期側スイッチング素子4のゲートには制御回路2の第2駆動信号SG2が入力され、ソースはグランドGNDに接続されている。

## 【0006】

メイン側スイッチング素子3のソースは平滑回路を構成するチョークコイル5を介して出力端子Toに接続されている。また、メイン側スイッチング素子3のソースはフライバックダイオード6のカソードに接続され、そのダイオード6のアノードはグランドGNDに接続されている。

## 【0007】

同期側スイッチング素子4は、DC/DCコンバータ1のフライバック動作時に動作し、フライバックダイオード6での損失を改善する。

出力端子Toは、平滑回路を構成する平滑用コンデンサ7を介してグランドGNDに接続されている。出力端子Toは、図示しないCPU等の負荷に接続されている。そして、この出力端子Toからは出力電圧Voが出力される。この出力電圧Voを抵抗8, 9により分圧した分圧電圧V2が、制御回路2に帰還される。

## 【0008】

制御回路2は、誤差増幅回路11、PWM比較回路12、三角波発振回路13、休止期間設定回路14、第1, 第2出力回路15, 16を含む。

誤差増幅回路11は、反転入力端子に分圧電圧V2が入力され、非反転入力端子に基準電源E1から基準電圧Vrが入力される。

## 【0009】

誤差増幅回路11は、分圧電圧V2と設定電圧としての基準電圧Vrとを比較し、両電圧の差電圧を増幅した誤差信号S1を次段のPWM比較回路12に出力する。

#### 【0010】

PWM比較回路12は、非反転入力端子に誤差信号S1が入力され、反転入力端子に三角波発振回路13からの三角波信号S2が入力される。

PWM比較回路12は、誤差信号S1と三角波信号S2のレベルを比較する。そして、PWM比較回路12は、その比較において、三角波信号S2のレベルの方が大きくなる期間ではLレベル、三角波信号S2のレベルの方が小さくなる期間ではHレベルとなるパルス信号S3を休止期間設定回路14に出力する。

#### 【0011】

休止期間設定回路14は、パルス信号S3に基づいて、メイン側スイッチング素子3と同期側スイッチング素子4とがほぼ相補的にオンオフするとともに、両スイッチング素子3、4が同時にオンしない（この期間が同期整流休止期間（以下、単に休止期間））ように生成した第1及び第2制御信号S4、S5を生成する。休止期間は、システムの破壊を防ぐために設定される。同期整流方式のDC/DCコンバータ1では、メイン側スイッチング素子3と同期側スイッチング素子4が同時にオンすると過大な貫通電流が流れでシステムを破壊する恐れがあるからである。

#### 【0012】

第1出力回路15は、休止期間設定回路14から出力された第1制御信号S4を増幅した第1駆動信号SG1をメイン側スイッチング素子3に供給する。第2出力回路16は、休止期間設定回路14から出力された第2制御信号S5を増幅した第2駆動信号SG2を同期側スイッチング素子4に供給する。

#### 【0013】

図10は、従来の休止期間設定回路14の回路図である。

休止期間設定回路14は、インバータ回路21～25、トランジスタT1、T2、電流源26、27、コンデンサC1、C2を含む。

#### 【0014】

パルス信号S3は、インバータ回路21に供給される。インバータ回路21、パルス信号S3を反転した信号をトランジスタT1のゲートに供給する。トランジスタT1はNチャネルMOSトランジスタであり、ソースはグランドGNDに接続され、ドレインは電流源26に接続されている。

## 【0015】

トランジスタT1と電流源26との間のノードはコンデンサC1の第1端子に接続され、コンデンサC1の第2端子はグランドGNDに接続されている。また、コンデンサC1の第1端子はインバータ回路22の入力端子に接続されている。インバータ回路22の出力端子はインバータ回路23の入力端子に接続され、そのインバータ回路23から第1制御信号S4が出力される。

## 【0016】

従って、インバータ回路22の入力信号S6は、図11に示すように、パルス信号S3の立ち上がりを電流源26の電流量I1とコンデンサC1の容量に応じて立ち上がり、トランジスタT1がオンすることにより急峻に立ち下がる波形を持つ。そして、インバータ回路22は、それを構成するMOSトランジスタのしきい値電圧（スレッショルド電圧）V<sub>th</sub>を入力信号S6が超えると出力信号のレベルを反転させる。従って、第1制御信号S4は、その立ち上がりがパルス信号S3の立ち上がりをコンデンサC1の充電時間に応じた時間t<sub>d1</sub>だけ遅延させ、立ち下がりがパルス信号S3のそれとほぼ一致した波形を持つ。この遅延時間t<sub>d1</sub>は、

$$t_{d1} = V_{th} * C1 / I1$$

により求められる。

## 【0017】

パルス信号S3は、トランジスタT2のゲートに供給される。トランジスタT1はNチャネルMOSトランジスタであり、ソースはグランドGNDに接続され、ドレインは電流源27に接続されている。

## 【0018】

トランジスタT2と電流源27との間のノードはコンデンサC2の第1端子に接続され、コンデンサC2の第2端子はグランドGNDに接続されている。また

、コンデンサC2の第1端子はインバータ回路24の入力端子に接続されている。インバータ回路24の出力端子はインバータ回路25の入力端子に接続され、そのインバータ回路25から第2制御信号S5が出力される。

## 【0019】

従って、インバータ回路24の入力信号S7は、図11に示すように、パルス信号S3に応答してトランジスタT2がオンすることにより急峻に立ち下がり、パルス信号S3の立ち上がりを電流源27の電流量I2とコンデンサC2の容量に応じて立ち上がる波形を持つ。そして、インバータ回路24は、それを構成するMOSトランジスタのしきい値電圧（スレッショルド電圧）V<sub>th</sub>を入力信号S7が超えると出力信号のレベルを反転させる。従って、第2制御信号S5は、その立ち下がりがパルス信号S3のそれとほぼ一致し、立ち上がりがパルス信号S3の立ち上がりをコンデンサC2の充電時間に応じた遅延時間t<sub>d2</sub>だけ遅延させた波形を持つ。この遅延時間t<sub>d2</sub>は、

$$t_{d2} = V_{th} * C2 / I2$$

により求められる。

## 【0020】

## 【発明が解決しようとする課題】

ところで、消費電力の低減等の目的のために低い電源電圧にてDC/DCコンバータ1を使用する要求がある。しかしながら、従来の休止期間設定回路14では、入力するパルス信号S3のパルス幅に対して遅延時間t<sub>d1</sub>の分だけ短いパルス幅を持つ第1制御信号S4を生成している。このため、図12に示すように、誤差信号S1の電圧に対する第1制御信号S4のオン・デューティー比の設定が、理想特性よりも低くなる。従って、第1制御信号S4、ひいては第1駆動信号SG1のデューティを高く、例えばほぼ100パーセントにまで設定することができない。このため、電源電圧を下げることができないという問題が生じていた。

## 【0021】

本発明は上記問題点を解決するためになされたものであって、その目的はメイン側スイッチング素子のオン・デューティ特性を向上させることができるDC/

DCコンバータの制御回路及びDC／DCコンバータを提供することにある。

### 【0022】

#### 【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の中点に平滑回路とフライバックダイオードが接続されてなる外付け素子が接続されてDC／DCコンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第1駆動信号と第2駆動信号を出力して両素子を交互にオン／オフ駆動するDC／DCコンバータの制御回路において、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC／DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とする。従って、メイン側スイッチング素子は、出力電圧に応じてデューティが設定されたパルス幅の駆動信号にてオン／オフ駆動される。

### 【0023】

請求項2に記載の発明は、出力電圧の分圧電圧と基準電圧とを比較して誤差信号を生成する增幅回路と、前記誤差信号と三角波信号とを比較して前記誤差信号の電圧に比例したパルス幅を持つパルス信号を生成する比較回路と、前記パルス信号に基づいて前記第1及び第2駆動信号を生成する第1及び第2出力回路と、を備え、前記休止期間設定回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する第1及び第2駆動信号に同期整流休止期間を設定するべく第1及び第2制御信号を生成するとともに、前記第1制御信号のパルス幅を前記パルス信号のパルス幅と略同一とし、前記第1出力回路は前記第1制御信号に基づいて前記メイン側スイッチング素子に供給する第1駆動信号を生成し、前記第2出力回路は前記第2制御信号に基づいて前記同期側スイッチング素子に供給する第2駆動信号を生成する。従って、メイン側スイッチング素子は、出力電圧に応じデューティが設定されたパルス幅の駆動信号にてオン／オフ駆動され、メイン側スイッチング素子と同期側

スイッチング素子の同期整流休止期間が確実に設定される。

【0024】

請求項3に記載の発明のように、前記休止期間設定回路は、前記パルス信号の立ち上がり及び立ち下がりを遅延させて前記第1制御信号を生成する。従って、メイン側スイッチング素子は、出力電圧に応じデューティが設定されたパルス幅の駆動信号が生成される。

【0025】

請求項4に記載の発明のように、前記休止期間設定回路は、前記第1制御信号の立ち上がり及び立ち下がりを遅延させた遅延信号と前記パルス信号とを論理合成して前記第2制御信号を生成する。従って、メイン側スイッチング素子と同期側スイッチング素子の同期整流休止期間が確実に設定される。

【0026】

請求項5に記載の発明のように、前記休止期間設定回路は、前記パルス信号の立ち上がり及び立ち下がりを遅延させて前記第1制御信号を生成する第1遅延回路と、前記パルス信号又は前記第1制御信号が入力され、該入力信号の立ち上がり及び立ち下がりを遅延させて遅延信号を生成する第2遅延回路と、前記パルス信号と前記遅延信号とを論理合成して前記第2制御信号を生成する合成回路と、を備えた。

【0027】

請求項6に記載の発明のように、前記第1及び第2遅延回路は、直列接続した複数のインバータ回路にて入力信号を遅延する。入力信号に対する遅延時間は同期整流休止期間に相当する。従って、同期整流休止期間を容易に設定できる。

【0028】

請求項7に記載の発明のように、前記第1及び第2遅延回路は、抵抗と容量の時定数にて入力信号を遅延する。入力信号に対する遅延時間は同期整流休止期間に相当する。従って、同期整流休止期間を容易に設定できる。

【0029】

請求項8に記載の発明は、メイン側スイッチング素子と同期側スイッチング素子が直列に接続され、前記両スイッチング素子の中点に平滑回路とフライバック

ダイオードが接続されてなる外付け素子が接続されてDC／DCコンバータを構成し、前記メイン側スイッチング素子と同期側スイッチング素子に第1駆動信号と第2駆動信号を出力して両素子を交互にオン／オフ駆動する制御回路を備えたDC／DCコンバータにおいて、前記制御回路は、前記メイン側スイッチング素子及び同期側スイッチング素子が同時にオンしないように該両素子にそれぞれ供給する駆動信号に同期整流休止期間を設定する休止期間設定回路を備え、該休止期間設定回路は、前記メイン側スイッチング素子に供給する駆動信号のパルス幅と、DC／DCコンバータの出力電圧を設定電圧と等しくするように設定したパルス幅とを略同一とする。従って、メイン側スイッチング素子は、出力電圧に応じてデューティが設定されたパルス幅の駆動信号にてオン／オフ駆動される。

## 【0030】

## 【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図5に従って説明する。

尚、説明の便宜上、従来技術と同様の構成については同一の符号を付してその説明を一部省略する。

## 【0031】

図1は、DC／DCコンバータのブロック回路図である。

DC／DCコンバータ31は、1チップの半導体集積回路装置上に形成された制御回路32と、複数個の外付け素子とから構成されている。外付け素子は、メイン側スイッチング素子3、同期側スイッチング素子4、チョークコイル5、フライバックダイオード6、平滑用コンデンサ7、抵抗8、9を含み、チョークコイル5と平滑用コンデンサ7は平滑回路を構成する。

## 【0032】

制御回路32は、出力端子T0における出力電圧V0を抵抗8、9により分圧した分圧電圧V2が帰還され、該分圧電圧V2に基づいて、メイン側スイッチング素子3に供給する第1駆動信号SG11と、同期側スイッチング素子4に供給する第2駆動信号SG12を生成する。

## 【0033】

制御回路32は、誤差增幅回路11、PWM比較回路12、三角波発振回路1

3、休止期間設定回路34、第1、第2出力回路15、16を含む。

誤差增幅回路11は、反転入力端子に分圧電圧V2が入力され、非反転入力端子に基準電源E1から基準電圧Vrが入力される。

#### 【0034】

誤差增幅回路11は、分圧電圧V2と基準電圧Vrとを比較し、両電圧の差電圧を増幅した誤差信号S1を次段のPWM比較回路12に出力する。

PWM比較回路12は、非反転入力端子に誤差信号S1が入力され、反転入力端子に三角波発振回路13からの三角波信号S2が入力される。

#### 【0035】

PWM比較回路12は、誤差信号S1と三角波信号S2のレベルを比較する。そして、PWM比較回路12は、その比較において、三角波信号S2のレベルの方が大きくなる期間ではLレベル、三角波信号S2のレベルの方が小さくなる期間ではHレベルとなるパルス信号S3を休止期間設定回路34に出力する。

#### 【0036】

休止期間設定回路34は、パルス信号S3に基づいて、該パルス信号S3と実質的に同じパルス幅を持つ第1制御信号S14を生成する。また、休止期間設定回路34は、パルス信号S3と第1制御信号S14とにに基づいて、メイン側スイッチング素子3と同期側スイッチング素子4とがほぼ相補的にオンオフするとともに、両スイッチング素子3、4が同時にオンしない（この期間が休止期間）ように第2制御信号S15を生成する。休止期間は、システムの破壊を防ぐために設定される。同期整流方式のDC/DCコンバータ1では、メイン側スイッチング素子3と同期側スイッチング素子4が同時にオンすると過大な貫通電流が流れシスティムを破壊する恐れがあるからである。

#### 【0037】

第1出力回路15は、休止期間設定回路34から出力された第1制御信号S14を増幅した第1駆動信号SG11をメイン側スイッチング素子3に供給する。第2出力回路16は、休止期間設定回路34から出力された第2制御信号S15を増幅した第2駆動信号SG12を同期側スイッチング素子4に供給する。

#### 【0038】

図2は、休止期間設定回路34の原理を説明するためのブロック回路図である。

休止期間設定回路34は、第1及び第2遅延回路35, 36と合成回路37とを含む。

#### 【0039】

第1遅延回路35は、入力されるパルス信号S3を予め設定された遅延時間 $t_{d1}$ だけ遅延させて第1制御信号S14を生成する。この第1制御信号S14は、図3に示すように、パルス信号S3と実質的に同じパルス幅を有している。第1制御信号S14は第2遅延回路36に出力される。

#### 【0040】

第2遅延回路36は、入力される第1制御信号S14を予め設定された遅延時間 $t_{d2}$ だけ遅延させた遅延信号S16を生成する。この遅延信号S16は、図3に示すように、第1制御信号S14（パルス信号S3）と実質的に同じパルス幅を有している。この遅延信号S16は合成回路37に出力される。

#### 【0041】

合成回路37には、パルス信号S3と遅延信号S16とが入力される。合成回路37は、図3に示すように、パルス信号S3と遅延信号S16とを論理合成してメイン側スイッチング素子3と同期側スイッチング素子4とがほぼ相補的にオンオフするとともに、両スイッチング素子3, 4が同時にオンしない（この期間が休止期間）ように第2制御信号S15を生成する。

#### 【0042】

このように、休止期間設定回路34は、入力されるパルス信号S3と実質的に同じパルス幅を有する第1制御信号S14を生成する。従って、誤差信号S1の電圧に対する第1制御信号S14のオン・デューティー比の設定を、ほぼ理想特性と一致させることができる。従って、第1制御信号S14、ひいては第1駆動信号SG11のデューティを高く、例えばほぼ100パーセントにまで設定することができる。

#### 【0043】

図4は、休止期間設定回路34の一例を示す回路図である。

休止期間設定回路34は、第1及び第2遅延回路35，36、合成回路37を含む。第1遅延回路35は本実施形態では複数（m個）の直列接続されたインバータ回路からなり、入力信号を段数（インバータ回路の数：m）により決定される遅延時間 $t_d1$ だけ遅延させた信号を出力する。第2遅延回路36は本実施形態では複数（n個）の直列接続されたインバータ回路からなり、入力信号を段数（インバータ回路の数：n）により決定される遅延時間 $t_d2$ だけ遅延させた信号を出力する。合成回路37は本実施形態ではノア回路からなり、入力されるパルス信号S3と遅延信号S16とを論理和演算して第2制御信号S15を生成する。尚、合成回路37は、入力するパルス信号S3と遅延信号S16の論理に応じて、オア回路、入力側にインバータ回路を設けた構成としても良い。

#### 【0044】

また、休止期間設定回路34は、インバータ回路41～44を含む。これらのインバータ回路41～44は、第1及び第2遅延回路35，36と合成回路37の回路構成に応じて、パルス信号S3の論理レベルに対する第1及び第2制御信号S14，S15の論理レベルの整合をとるために設けられている。

#### 【0045】

例えば、第1遅延回路35の段数が偶数の場合、パルス信号S3から第1制御信号S14を出力する経路において偶数個のインバータ回路を設ける。そして、第1及び第2遅延回路35，36の接続に応じてインバータ回路を挿入する。

#### 【0046】

上記のように、休止期間設定回路34は、図1のPWM比較回路12から入力されるパルス信号S3と実質的に同じパルス幅を持つ第1制御信号S14を生成する。従って、図5に示すように、PWM比較回路12（図1参照）に入力される誤差信号S1の電圧に対する第1制御信号S14のオン・デューティー比の設定を、ほぼ理想特性と等しくすることができる。そして、第1制御信号S14、ひいては第1駆動信号SG11のデューティを高く、例えばほぼ100パーセントにまで設定することができ、電源電圧を下げて使用することができる。

#### 【0047】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 誤差増幅回路11は出力電圧 $V_o$ と基準電圧 $V_r$ とを比較した誤差信号 $S_1$ を出力し、PWM比較回路12は誤差信号 $S_1$ と三角波信号 $S_2$ とに基づいてパルス幅変調して生成したパルス信号 $S_3$ を出力する。休止期間設定回路34は、パルス信号 $S_3$ を遅延させて該パルス信号 $S_3$ のパルス幅と同一のパルス幅を有する第1制御信号 $S_{14}$ を生成し、該第1制御信号 $S_{14}$ に基づいてメイン側スイッチング素子3に供給する第1駆動信号 $SG_{11}$ が生成される。従って、メイン側スイッチング素子3は、出力電圧 $V_o$ に応じてデューティが設定されたパルス幅の第1駆動信号 $SG_{11}$ にてオン／オフ駆動される。その結果、第1駆動信号 $SG_{11}$ のデューティを100パーセントに設定することができる。

## 【0048】

(2) 休止期間設定回路34は、生成した第1制御信号 $S_{14}$ を遅延させた遅延信号 $S_{16}$ とパルス信号 $S_3$ とを論理合成して第2制御信号 $S_{15}$ を生成し、該第2制御信号 $S_{15}$ に基づいて同期側スイッチング素子4に供給する第2駆動信号 $SG_{12}$ が生成される。従って、同期側スイッチング素子4はメイン側スイッチング素子3をオンしている間、確実にオフされる、即ち休止期間を容易に設定することができる。

## 【0049】

尚、前記実施形態は、以下の態様に変更してもよい。

- ・休止期間設定回路の構成を適宜変更すること。例えば、図6に示すように構成した休止期間設定回路50を用いる。図7は、休止期間設定回路50の動作波形図である。

## 【0050】

この休止期間設定回路50は、第1及び第2遅延回路51、52、合成回路53、インバータ回路54～58を含む。第1遅延回路51は、抵抗61とコンデンサ62とからなる積分回路であり、入力信号の立ち上がり及び立ち下がり波形を時定数分スルーレートを遅らせることで、次段のインバータ回路56の出力信号を立ち上がり及び立ち下がりに遅延させる。これにより、休止期間設定回路50は、パルス信号 $S_3$ と実質的に同じパルス幅を持つ第1制御信号 $S_{23}$ を生成する。このパルス信号 $S_3$ に対する第1制御信号 $S_{23}$ の遅延時間 $t_d1$ は、抵

抗61の抵抗値R2と、コンデンサ62の容量値C2と、次段のインバータ回路56のしきい値電圧Vth1とから、

$$t_d1 = C2 \times R2 \times \ln(Vth1)$$

で求められる。

#### 【0051】

同様に、第2遅延回路52は、抵抗63とコンデンサ64とからなる積分回路であり、入力信号の立ち上がり及び立ち下がり波形を時定数分スルーレートを遅らせることで、次段のインバータ回路58の出力信号を立ち上がり及び立ち下がりに遅延させる。これにより、休止期間設定回路50は、パルス信号S3と実質的に同じパルス幅を持つ遅延信号S25を生成する。このパルス信号S3に対する遅延信号S25の遅延時間t\_d2は、抵抗63の抵抗値R3と、コンデンサ64の容量値C3と、次段のインバータ回路56のしきい値電圧Vth2とから、

$$t_d2 = C3 \times R3 \times \ln(Vth2)$$

で求められる。

#### 【0052】

合成回路53はノア回路であり、パルス信号S3とインバータ回路58から出力される遅延信号S25とを論理和演算して第2制御信号S26を生成する。

このように生成された第1及び第2制御信号S23、S26は、図1の第1及び第2出力回路15、16にそれぞれ供給され、第1及び第2出力回路15、16は第1及び第2制御信号S23、S26に基づいて第1及び第2駆動信号SG11、SG12をそれぞれ生成する。

#### 【0053】

・上記各実施形態のインバータ回路を、図8(a)～(c)に示すように構成すること。

図8(a)のインバータ回路71は、抵抗72とNPNトランジスタ73とからなる。図8(b)のインバータ回路74は、電流源75とNPNトランジスタ76とからなる。これらインバータ回路71、74の構成を、図6の休止期間設定回路50のインバータ回路54～58及び合成回路53に適用することで、第1及び第2遅延回路51、52と同じプロセスにて形成することができる。

## 【0054】

図8 (c) のインバータ回路77は、PチャネルMOSトランジスタ78とNチャネルMOSトランジスタ79とからなるCMOSインバータ回路であり、このインバータ回路77の構成を上記休止期間設定回路34, 50に適用することで、低消費電力化を図ることができる。

## 【0055】

- ・上記実施形態において、制御回路32の構成を適宜変更すること。
- ・上記実施形態において、両スイッチング素子3, 4や分圧抵抗8, 9を含めて1チップ化すること。

## 【0056】

## 【発明の効果】

以上詳述したように、本発明によれば、メイン側スイッチング素子のオン・デューティ特性を向上させることができが可能なDC/DCコンバータの制御回路及びDC/DCコンバータを提供することができる。

## 【図面の簡単な説明】

- 【図1】 DC/DCコンバータのブロック回路図である。
- 【図2】 休止期間設定回路のブロック回路図である。
- 【図3】 休止期間設定回路の動作波形図である。
- 【図4】 休止期間設定回路の回路図である。
- 【図5】 オン・デューティ特性の説明図である。
- 【図6】 別の休止期間設定回路の回路図である。
- 【図7】 別の休止期間設定回路の動作波形図である。
- 【図8】 (a)～(c) はインバータ回路の回路例を示す説明図である。
- 【図9】 従来のDC/DCコンバータのブロック回路図である。
- 【図10】 従来の休止期間設定回路の回路図である。
- 【図11】 従来の休止期間設定回路の動作波形図である。
- 【図12】 従来例のオン・デューティ特性の説明図である。

## 【符号の説明】

3 メイン側スイッチング素子

4 同期側スイッチング素子

6 フライバックダイオード

1 1 誤差増幅回路

1 2 PWM比較回路

1 5 第1出力回路

1 6 第2出力回路

3 2 制御回路

3 4, 5 0 休止期間設定回路

3 5, 5 1 第1遅延回路

3 6, 5 2 第2遅延回路

3 7, 5 3 合成回路

S G 1 1, S G 1 2 第1, 第2駆動信号

S 1 誤差信号

S 2 三角波信号

S 3 パルス信号

S 1 4, S 2 3 第1制御信号

S 1 5, S 2 6 第2制御信号

S 1 6, S 2 5 遅延信号

V o 出力電圧

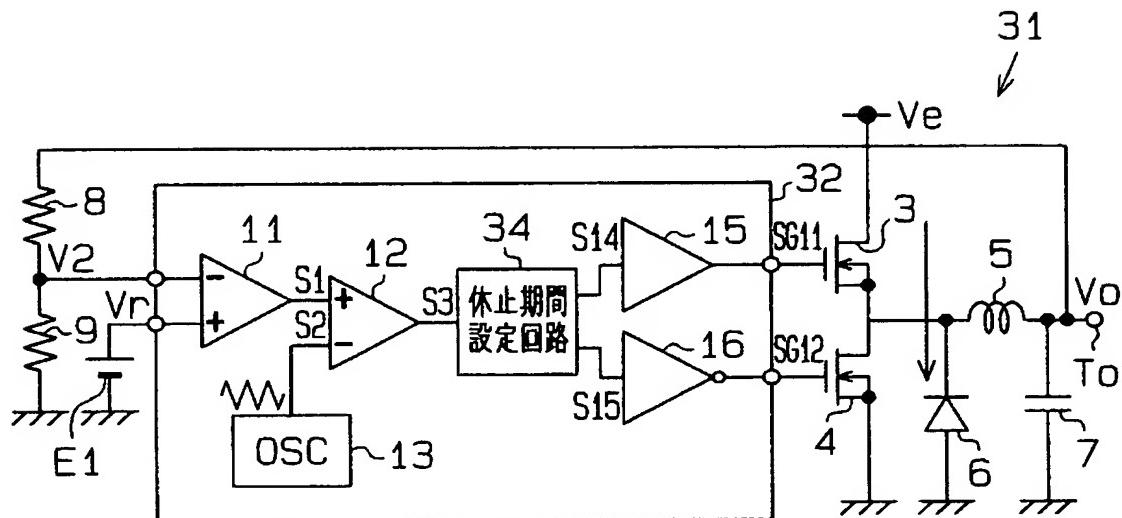
V r 設定電圧

V 2 分圧電圧

【書類名】 図面

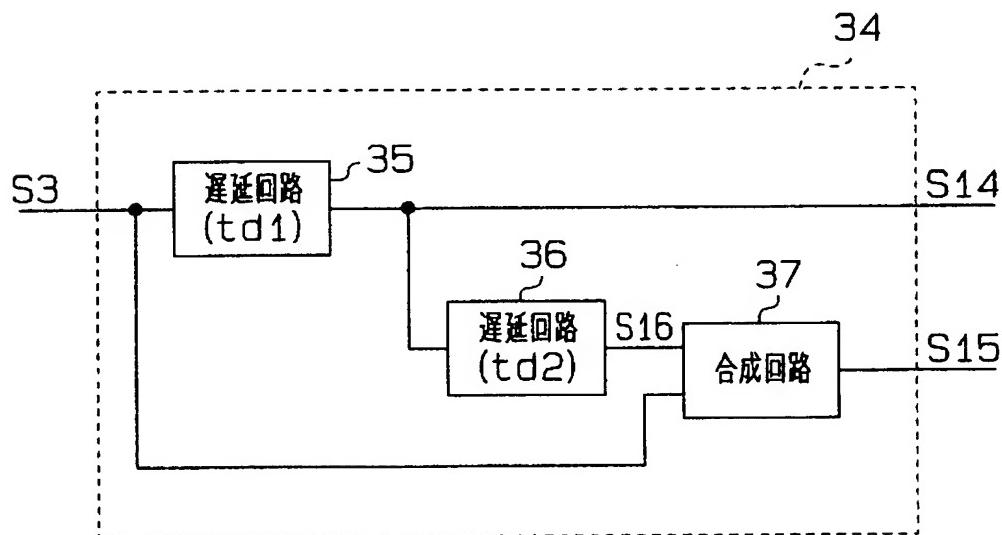
【図1】

DC/DCコンバータのブロック回路図



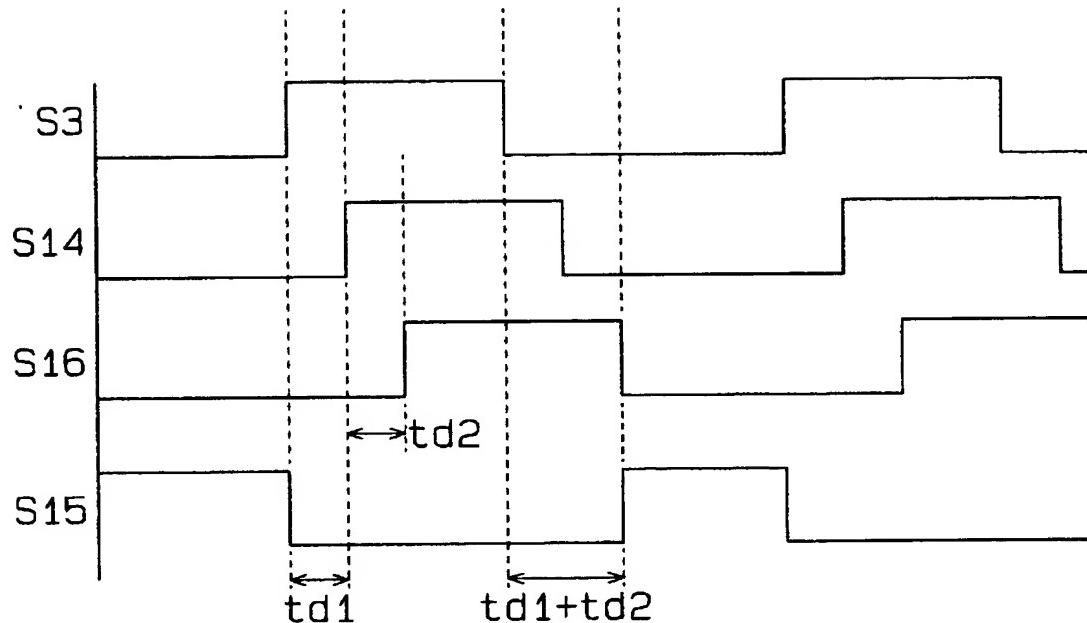
【図2】

休止期間設定回路のブロック回路図



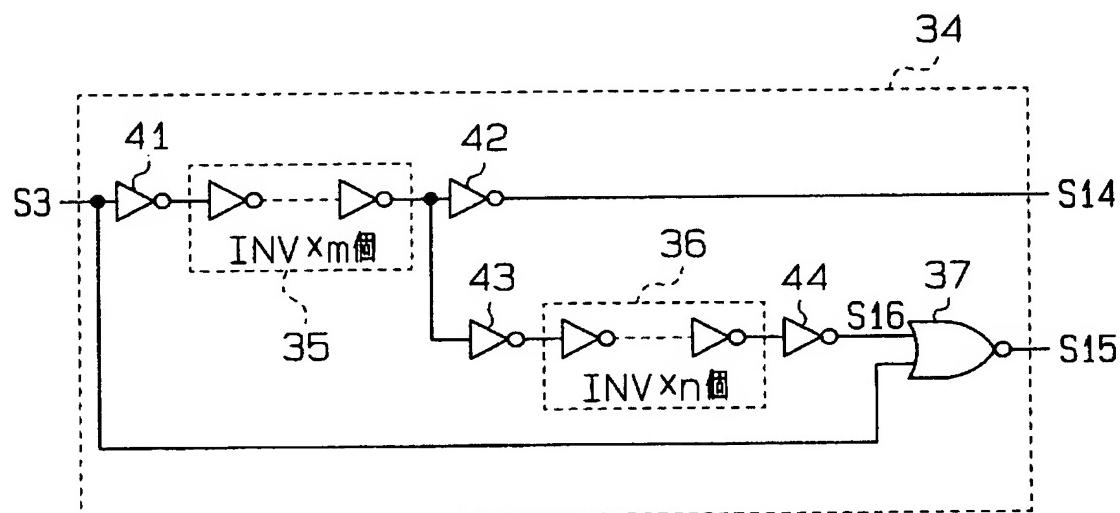
【図3】

休止期間設定回路の動作波形図



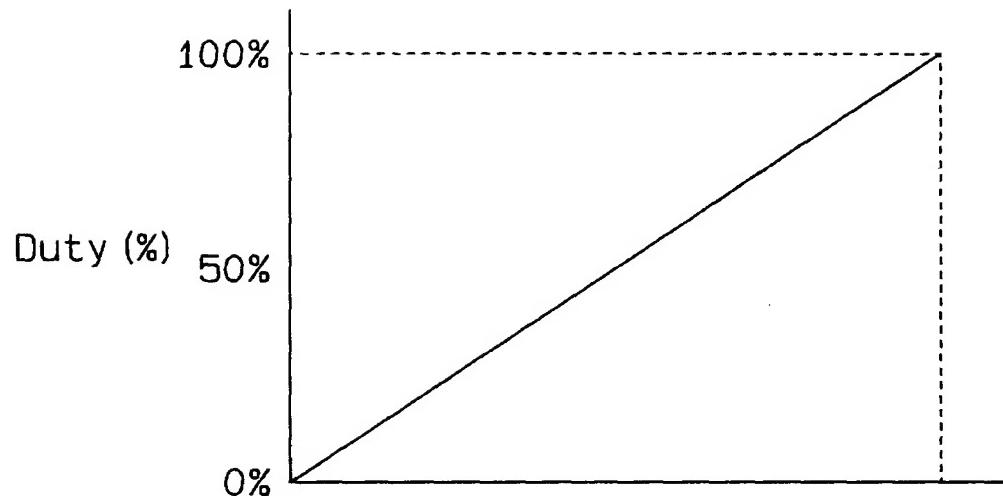
【図4】

休止期間設定回路の回路図



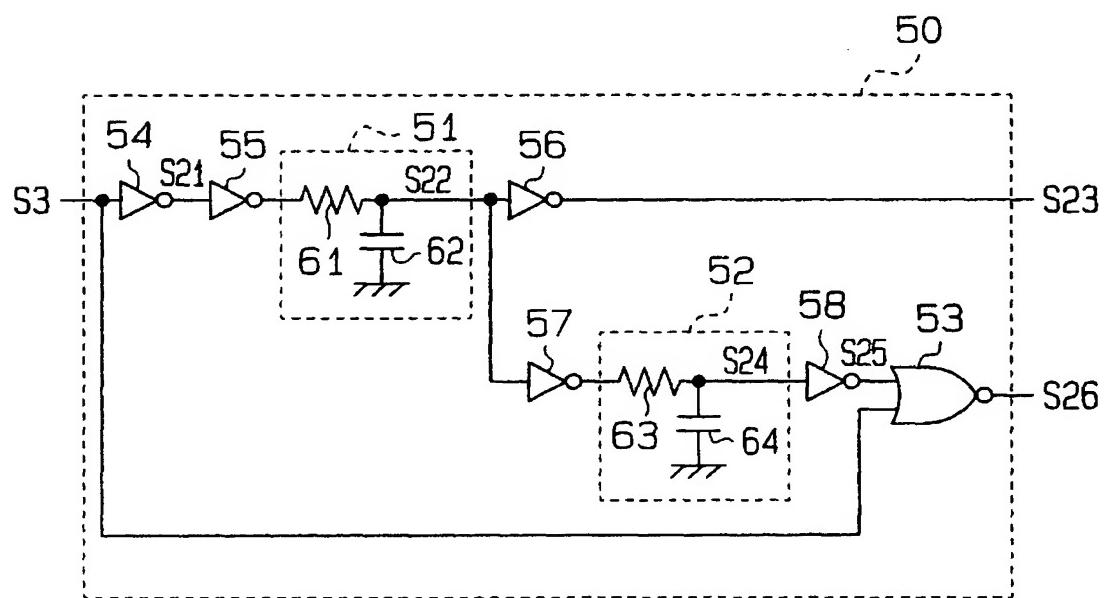
【図5】

オン・デューティ特性の説明図



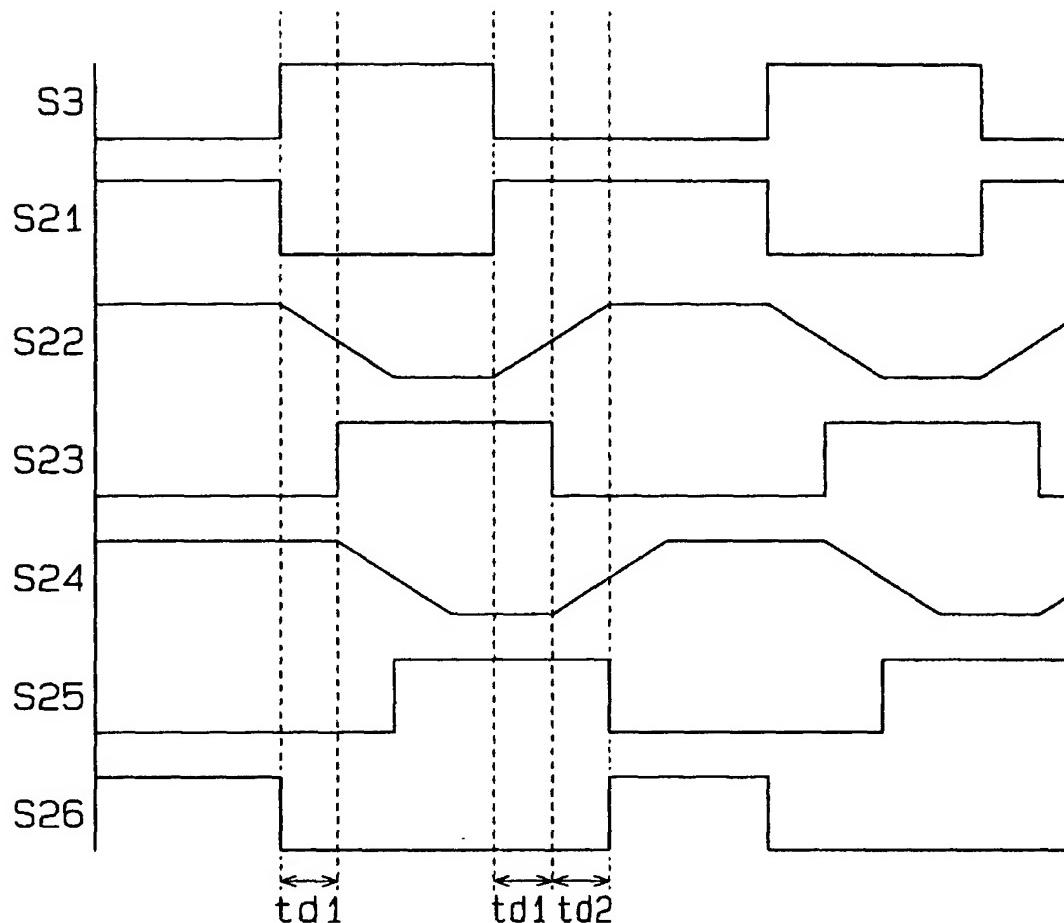
【図6】

別の休止期間設定回路の回路図



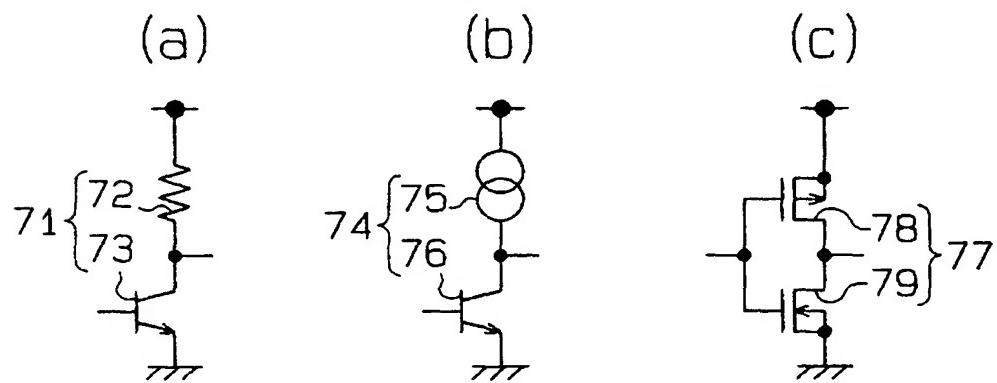
【図7】

別の休止期間設定回路の動作波形図



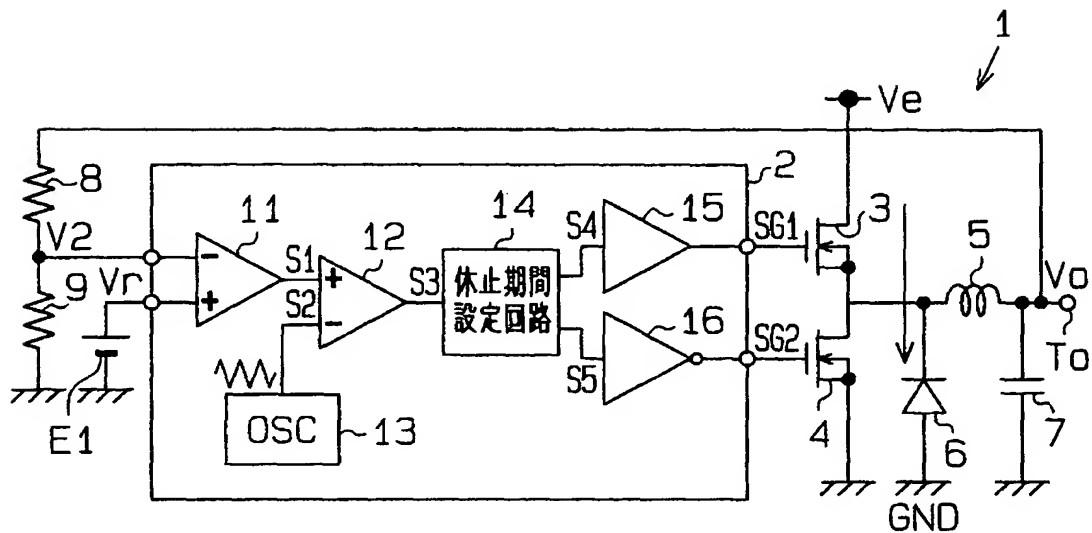
【図8】

インバータ回路の回路例を示す説明図



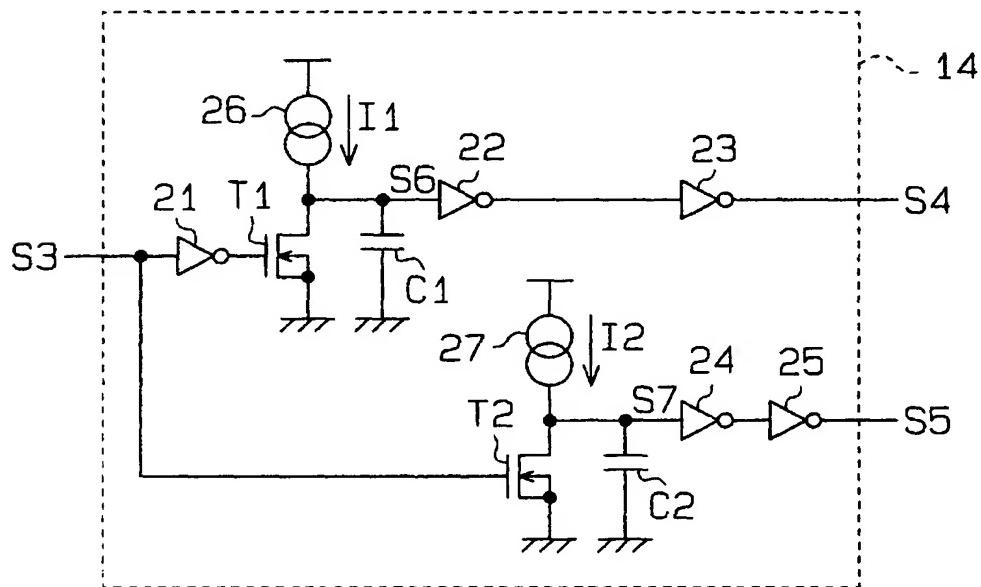
【図9】

従来のDC/DCコンバータのブロック回路図



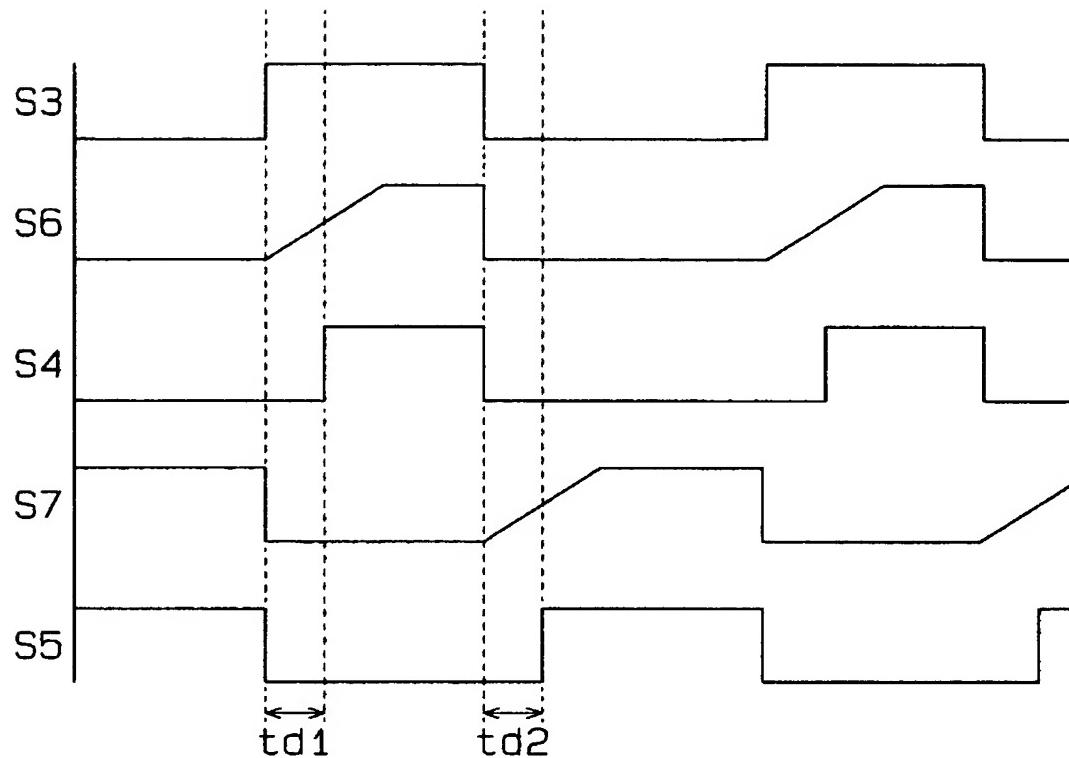
【図10】

従来の休止期間設定回路の回路図



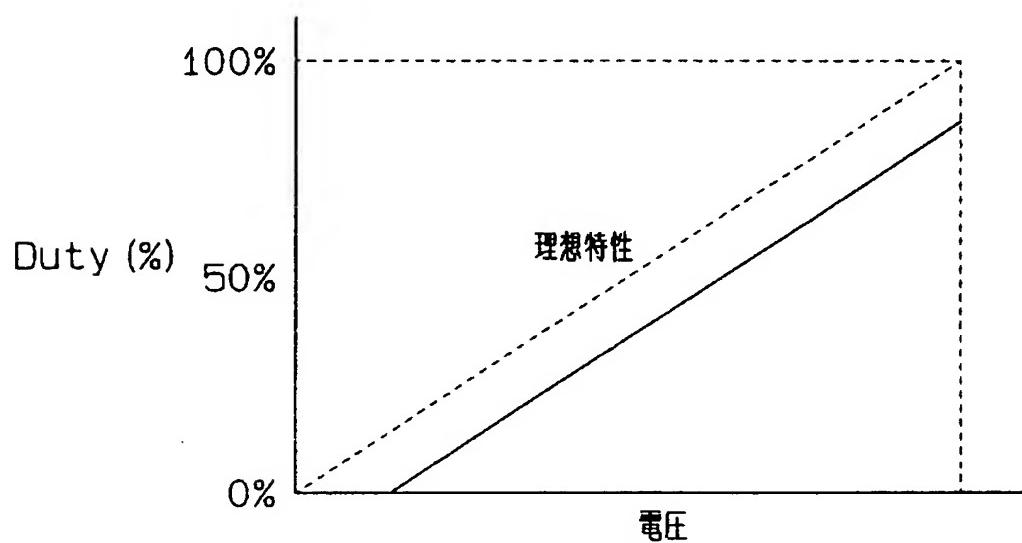
【図11】

従来の休止期間設定回路の動作波形図



【図12】

オン・デューティ特性の説明図



【書類名】 要約書

【要約】

【課題】 メイン側スイッチング素子のオン・デューティ特性を向上させることができること。

【解決手段】 誤差増幅回路11は出力電圧V<sub>o</sub>と基準電圧V<sub>r</sub>とを比較した誤差信号S<sub>1</sub>を出力し、PWM比較回路12は誤差信号S<sub>1</sub>と三角波信号S<sub>2</sub>とに基づいてパルス幅変調して生成したパルス信号S<sub>3</sub>を出力する。休止期間設定回路34は、パルス信号S<sub>3</sub>を遅延させて該パルス信号S<sub>3</sub>のパルス幅と同一のパルス幅を有する第1制御信号S<sub>14</sub>を生成し、該第1制御信号S<sub>14</sub>に基づいてメイン側スイッチング素子3に供給する第1駆動信号S<sub>G11</sub>が生成される。

【選択図】 図1

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社